

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05251455
PUBLICATION DATE : 28-09-93

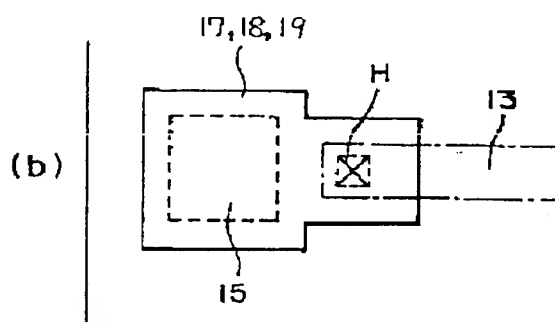
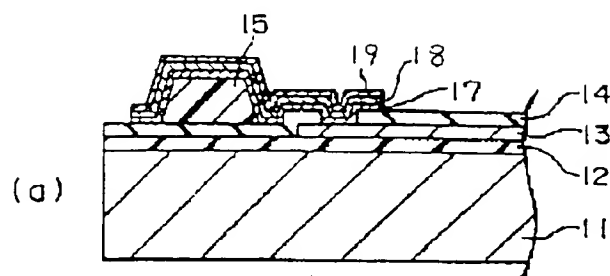
APPLICATION DATE : 04-03-92
APPLICATION NUMBER : 04047154

APPLICANT : TOSHIBA CORP;

INVENTOR : TAKEI SAKAE;

INT.CL. : H01L 21/321

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To keep uniform the height of a bump and ensures excellent electrical characteristic by forming an insulated projected area at the surface of semiconductor substrate on which an element region and wirings are formed and then forming a metal film as a bump covering the projected area and electrically connecting the wirings.

CONSTITUTION: This semiconductor device forms an aluminium wiring layer 13 on a silicon substrate 11 via a silicon oxide film 12 as an insulating film and thereafter forms a silicon oxide film 14 as a protection film. A through hole H is opened, a projection 15 consisting of a polyimide film is formed and a conductive film of the three-layer structure of a barrier layer 17, copper layer 18 and a metal layer 19 is formed from the upper layer of this projection 15 to the through hole H. By electrical connection with the aluminium wiring layer 13, a conductive film of the three-layer structure covering the projection 15 is used as a bump. Thereby, the height of bump is made uniform and good electrical characteristic can be maintained.

COPYRIGHT: (C) JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-251455

(43) 公開日 平成5年(1993)9月28日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321		9168-4M	H 0 1 L 21/92	T
		9168-4M		C

審査請求 未請求 請求項の数3(全4頁)

(21) 出願番号 特願平4-47154

(22) 出願日 平成4年(1992)3月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 武居 栄

神奈川県川崎市幸区小向東芝町 1 株式

会社東芝総合研究所内

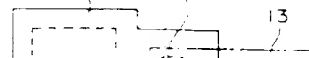
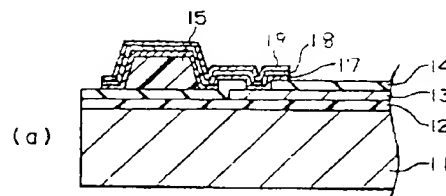
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【目的】 本発明は、バンプの高さが均一でかつ電気的特性の良好な半導体装置を提供することを目的とする。

【構成】 本発明では、素子領域および配線14の形成された半導体基板11表面に突出するように絶縁性の突起部15を形成し、この突起部15を覆うと共に配線14に電気的に接続するようにバンプとしての金属膜17、18、19を形成している。



【特許請求の範囲】

【請求項1】 素子領域および配線の形成された半導体基板表面に突出するように形成された絶縁性の突起部と、
前記突起部を覆うと共に前記配線に電気的に接続された
パンプとしての金属膜とを具備したことを特徴とする半
導体装置。

【請求項2】 前記金属膜は、前記基板表面を覆う保護
膜に形成されたスルーホールを介して前記配線に電気的
に接続されていることを特徴とする請求項1記載の半導
体装置。

【請求項3】 前記突起部は、耐熱性樹脂で構成されて
いることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に係り、特
に半導体集積回路チップ上へのパンプの形成に関する。

【0002】

【従来の技術】 近年、半導体集積回路の分野では、集積
化が進められており、入出力信号や電源電圧を供給する
ためのパッド数は益々増大し、動作速度の迅速化は進む
一方である。

【0003】 このように高密度に集積化された半導体集
積回路の実装に際しては、パッド数の増大に伴い、パッド
ピッチの縮小化がはかられている。しかし、従来のワイ
ヤボンディング技術では、そのピッチは100 μ mが
限界であり、またパッド数の増大に伴うワイヤボンディ
ングに要する時間の増大も大きな問題となっている。そ
こで、このような問題を解決するため、長尺状の可換性
フィルム基板上に金属箔配線を形成したフィルムキャリ
アやリードフレーム等に、接続用の突起電極（パンプ）
を介して、これと半導体集積回路チップのパッドとを接
続するTAB（Tape Automated Bonding）技術が提唱され、開発が進められている。この
技術により、パッドピッチが60 μ m程度の半導体集
積回路まで対応することが可能であるといわれている。

【0004】 このTAB方式では、リードフレーム側に
パンプを形成するものと半導体装置のチップ側にパンプ
を形成するものがあるが、半導体装置のチップ側にパ
ンプを形成するものの場合、半導体装置の形成後にパ
ンプを形成する必要がある。

【0006】 この問題を解決するため、図6に示すよう
に、半導体基板1上を覆う絶縁膜2の一部にビアホール
hを開口し、このビアホールhからシリコンのエピタキ
シャル成長によりシリコン突起部6を形成し、この周辺
または頂部にバリア層7と銅層8と金層9との多層構造
の金属膜を形成しこれをパンプとしたものも提案されて
いる（特開昭62-293648）。この構造では、パ
ンプはシリコンで構成されているため基板との熱膨張率
の差がないため、ボンディングに際してクラックが発生
するのを防止することができるという特徴を有してい
る。

【0007】

【発明が解決しようとする課題】 このように、シリコン
の選択成長によりパンプを形成する方法では、パンプの
高さのばらつきは低減されたがボンディングに際してク
ラックが発生するおそれはないが、パンプの核に半導体
であるシリコンを用いているため、100℃程度の高温
で動作させる場合、シリコンの比抵抗が低下し基板への
リーク電流が発生しやすくなり、誤動作の原因となるこ
ともある。

【0008】 また、シリコンのエピタキシャル成長は一
般に800℃以上の高温で行わなければならないため、
600℃程度の耐熱性しかもたないA1配線はこれに耐
えられない。従ってA1配線の形成に先立ち、シリコン
のエピタキシャル成長を行い突起部6を形成しておく必
要がある。このため、1 μ m以下の微細な加工精度を必
要とする半導体集積回路では、フォトリソグラフィに用
いるフォトレジストがこの突起部近傍で薄くなったこと
でチップ全域に均一に塗布されず、加工精度が低下する
という問題があった。

【0009】 本発明は、前記実情に鑑みてなされたもの
で、パンプの高さが均一でかつ電気的特性の良好な半導
体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 そこで本発明の半導体装
置では、素子領域および配線の形成された半導体基板表
面に突出するように絶縁性の突起部を形成し、この突起
部を覆うと共に配線に電気的に接続するようにパンプと
しての金属膜を形成している。

【0011】 望ましくはこの金属膜は、基板表面を覆う
絶縁膜に形成されたスルーホールを介して配線に電気的
に接続されている。

【0013】

【作用】 上記構成によれば、突起部の核は絶縁膜で形成
されているため、高温での使用に際してもリーク電流の
発生が少なく、信頼性の高い半導体装置が提供される。
また、パンプの高さが均一でかつ電気的特性の良好な半
導体装置が提供される。

後に形成することができるため、配線パターンのパターニング精度を低下させることもない。

【0014】製造に際しては、例えば、素子領域および配線の形成された半導体基板上に保護膜を形成し、この保護膜上に半導体基板表面に突出するように絶縁性の突起部を形成したのちこの保護膜にスルーホールを形成し、突起を覆うとともにスルーホールを介して配線に電氣的に接続するように、パンプとなる金属膜パターンを形成する等の方法をとる。

【0015】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0016】図1(a)および(b)は、本発明実施例の半導体装置を示す図である。

【0017】この半導体装置は、シリコン基板11上に絶縁膜としての酸化シリコン膜12を介してA1配線層13を形成した後、保護膜としての酸化シリコン膜14を形成し、これにスルーホールHを開口し、さらにポリイミド膜からなる突起15を形成し、この突起15の上層からスルーホールHにかけてバリア層17と銅層18と金層19との3層構造の導体膜を形成し、A1配線層13との電氣的接続を行うことにより、この突起15上を覆う3層構造の導体膜をパンプとして用いるようにしたことを特徴とするものである。

【0018】すなわち、この構造ではパンプとなる突起15の下地は、シリコン基板11上に形成された酸化シリコン膜12と保護膜としての酸化シリコン膜14とであり、3層膜のパターンはこの突起15を覆うとともにスルーホールH内に露呈するA1配線層13上を覆うように形成されている。

【0019】次にこの半導体装置の製造方法について説明する。

【0020】まず、所望の素子領域の形成されたシリコン基板11上に絶縁膜としての酸化シリコン膜12を形成しさらにスパッタリング法によりA1薄膜を形成しフォトリソグラフィを用いてこれをパターニングしA1配線層13を形成する。

【0021】さらに、図2(a)に示すようにCVD法により保護膜としての酸化シリコン膜14を形成し、フォトリソグラフィによりスルーホールHを開く。

次に、図2(b)に示すように、銅層18と金層19との2層構造の導体膜を形成し、この導体膜をパターニングして突起15を形成する。

【0022】このようにして、図1(a)に示すように、シリコン基板11上に酸化シリコン膜12を介してA1配線層13を形成し、このA1配線層13上に酸化シリコン膜14を形成し、この酸化シリコン膜14にスルーホールHを開き、このスルーホールH内にA1配線層13を露呈し、このA1配線層13上に銅層18と金層19との2層構造の導体膜を形成し、この導体膜をパターニングして突起15を形成する。

突起15の上層からスルーホールHにかけてバリア層17と銅層18と金層19との3層構造の導体膜を形成し、A1配線層13との電氣的接続を行い、図1(a)および(b)に示した半導体装置が完成する。

【0024】このようにして、この突起15上を覆う3層構造の導体膜によって形成されたパンプをもつパンプ付き半導体装置が得られる。

【0025】このパンプをリードフレームあるいはフィルムキャリアの所定のインナーリードに直接ボンディングを行うことにより、電氣的接続を行い、樹脂封止をおこなって実装がなされる。

【0026】この構造ではパンプとなる突起15はポリイミド膜で形成されており、シリコンを用いた場合のようなリーク発生のおそれはない。またこの構造ではA1配線層の形成後に突起を形成すれば良いため、配線パターンの精度を低下させることもない。

【0027】ここで、突起の高さは6 μm (5~10 μm 程度)であるが、導体膜のパターニングに際し、写真蝕刻法で用いるフォトリソグラフ膜を突起部の周辺で均一に塗布するのは困難であるが、数十 μm 程度の比較的大きい形状のパンプであるため、加工上の不都合は少ない。

【0028】なお、前記実施例で突起の形成にポリイミドを用いたのは、均一な膜厚を得ることができること、および下地との密着性が良好であること、300℃以上の耐熱性を有し、後続の導体膜の形成時における熱に耐え得るという点である。しかしながら、このような均一な膜厚を得ることができること、下地との密着性が良好であること、後続の導体膜の形成時における熱に耐え得ることという条件を満たすのであれば、酸化シリコン膜等他の絶縁膜を用いても良い。この場合は突起形成のためのフォトリソグラフィ工程を別に設ける必要がある。またポリイミドの場合、感光材料を添加することにより容易に感光性を持たせることができる。すなわち感光性材料を添加したポリイミド膜をスピンコート法によって膜厚6 μm となるように塗布し、マスクを介して露光し潜像を形成し、ヒドラジンによって現像し、ポリイミド膜からなる突起15を形成するようにしてもよい。

【0029】また、前記実施例ではパンプはA1配線層

上に形成されているが、銅層18と金層19との2層構造の導体膜を形成し、この導体膜をパターニングして突起15を形成し、この突起15上を覆う3層構造の導体膜をパンプとして用いるようにしてもよい。

【0030】このようにして、図1(b)に示すように、シリコン基板11上に酸化シリコン膜12を介してA1配線層13を形成し、このA1配線層13上に酸化シリコン膜14を形成し、この酸化シリコン膜14にスルーホールHを開き、このスルーホールH内にA1配線層13を露呈し、このA1配線層13上に銅層18と金層19との2層構造の導体膜を形成し、この導体膜をパターニングして突起15を形成する。

よい。また保護膜を省略してもよい。

【0031】また、3層膜からなる導体膜については基板との密着性、導電性、リードフレームとの接続性を満足するものであればよいことはいうまでもない。

【0032】

【発明の効果】以上説明してきたように、本発明によれば、高さが均一なバンパを有し、電気的特性を良好に維持することのできる半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明実施例の半導体装置を示す図

【図2】本発明実施例の半導体装置の製造工程図

【図3】本発明の他の実施例の半導体装置を示す図

【図4】本発明の他の実施例の半導体装置を示す図

【図5】従来例の半導体装置を示す図

【図6】従来例の半導体装置を示す図

【符号の説明】

1 シリコン基板

2 絶縁膜

3 Al配線層

4 保護膜

5 めっき層 (バンパ)

6 シリコン突起部

7 Ti層

8 Cu層

9 Au層

11 シリコン基板

10 12 酸化シリコン膜

13 Al配線層

14 保護膜

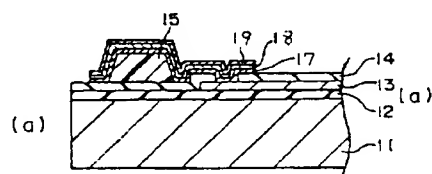
15 突起 (ポリイミド膜)

17 Ti層

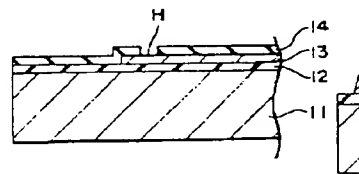
18 Cu層

19 Au層

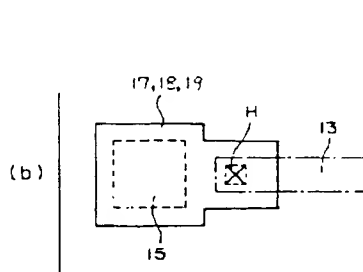
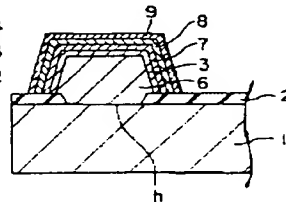
【図1】



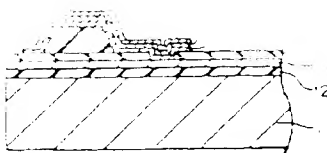
【図2】



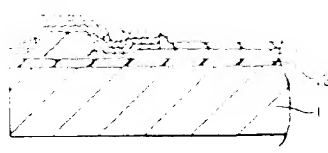
【図6】



【図3】



【図4】



【図5】

